

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-053802

(43)Date of publication of application : 31.03.1982

(51)Int.Cl. G11B 5/09  
H04L 1/08

(21)Application number : 55-128331 (71)Applicant : TOSHIBA CORP

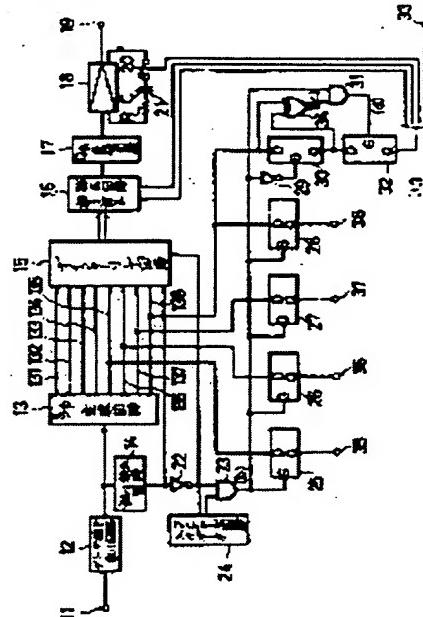
(22)Date of filing : 16.09.1980 (72)Inventor : KOJIMA TADASHI

## (54) PROCESSOR OF DIGITAL SIGNAL

### (57)Abstract:

**PURPOSE:** To increase the detecting capacity for the error of a control data, by securing such constitution in that the control data is transmitted in a state under which the control data of the digital control signal has the same pattern continuously in  $\geq 2$  times.

**CONSTITUTION:** A coincidence is obtained through an EX NOR circuit 34 between the preceding and subsequent data for a data equivalent to lower 4 bits that directly give an effect to the audio signal to be reproduced among the control signal words CT of a data block of the control signal. Then a dubbing inhibition control circuit, a switch 20, an error correcting circuit 16, etc. are controlled in accordance with the dubbing inhibition code, the P and Q correction discriminating codes and the preemphasis discriminating code respectively only when a coincidence is obtained. In other words, whether or not the same data continues twice is detected. In such way, error detecting capacity is easily increased for a data block of the control signal with a simple constitution.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP)  
 ⑰ 公開特許公報 (A)

⑪ 特許出願公開  
 昭57—53802

⑩ Int. Cl.<sup>3</sup>  
 G 11 B 5/09  
 H 04 L 1/08

識別記号  
 厅内整理番号  
 7345—5D  
 6651—5K

⑫ 公開 昭和57年(1982)3月31日  
 発明の数 1  
 審査請求 未請求

(全 8 頁)

④ デジタル信号処理装置

① 特 願 昭55—128331  
 ② 出 願 昭55(1980)9月16日  
 ③ 発明者 小島正

横浜市磯子区新磯子町33番地東  
 京芝浦電気株式会社音響工場内

④ 出願人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑤ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

デジタル信号処理装置

2. 特許請求の範囲

本来の情報信号をデジタル化した実信号データとこの実信号データの制御に用いられるデジタル制御信号の制御データとを少なくとも2個の回路間で伝送するデジタル信号処理装置において、前記制御データが少なくとも2回連続して同じデータであった状態で該制御データの伝送を行なうことを特徴とするデジタル信号処理装置。

3. 発明の詳細な説明

この発明は、オーディオ信号等の情報信号を例え PCM 信号等のデジタルデータに変換した実信号データとこの実信号データの形式判別や制御等に用いられる制御データとを処理するデジタル信号処理装置に係り、特に制御データに対する誤り検出能力を向上させたものに関する。

周知のように、例えば音楽等のオーディオ信

号を PCM 化して、一般の家庭用ビデオテープレコーダで記録再生する場合には、この PCM オーディオ信号を NTSC 方式等の標準テレビジョン信号に準じた形式のデータフォーマットの信号に変換する必要がある。

このような PCM 化の一例として、例えば左右の2チャンネルのステレオオーディオ信号を、それぞれ約 44 [ kHz ] のサンプリング周波数でサンプルし、1サンプルデータ (1ワード) を 16 ビットあるいは 14 ビットの PCM デジタルデータに変換して、標準テレビジョン信号中の映像信号の位置に上記データを配置する。ここで、1ワードが上記 14 ビットの場合の 1 水平期間 (1H 期間) 分のデータフォーマットの一例を第 1 図に示す。この第 1 図の 1H 分のデータブロックにおいて、PCM 化信号のワードを左右チャンネル交互に 6 ワード配列し、隣り合正ワード (P), (Q) の 2 ワードと、1 ワード 16 ビットの隣り合ワード (CRC) を 1 ワードとを付加して、全 9 ワード 1'28 ビットにより 1 テ

ータブロックを構成している。この第1図のPCMデータの(L), (R)は、それぞれ左右チャネルのサンプルデータに対応し、添付記号は上記サンプリングの順位を示している。ここで、この第1図のフォーマットにおいては、各サンプルデータの6ワードと、誤り訂正ワード(P), (Q)の2ワードとの計8ワードを、1ワード毎に順次16ブロック( $=16H$ )ずつずらして配置するようなインターリープを施しており、上記添付記号の(D)がこのようなインターリープのブロック数( $D = 16$ )を示している。この場合、 $D = 16$ ブロックのインターリープは3.D = 48ワードのワードインターリープと等価である。

さらに、この第1図において、1H期間は168ビットで構成され、この168ビットの先頭位置に13ビットのパルス幅を有する水平同期信号(HS)を配置し、さらに13ビットにおいて4ビット分のデータ同期用のクロック信号(CK)を配置した後、上記128ビットのデータ

タブロックを配列している。ここで、データ同期信号(CK)のコードは、例えば“1010”としている。また、上記128ビットのデータブロックの後方には、1ビット分の“0”信号を配置し、4ビットのパルス幅を有する白基準信号(W)を配置している。

次に、第2図は制御信号のデータブロックを有する1H期間を示し、128ビットの制御データブロック以外は、第1図と同様に水平同期信号(HS)や白基準信号(W)を付加して、全体で168ビットで構成している。この128ビットの制御データブロックは、先頭位置から順に、56ビットの頭出し信号ワード(S)、14ビットの内容識別信号ワード(T)、28ビットのアドレス信号ワード(U)、14ビットのコントロール信号ワード(CT)及び前述した16ビットの誤り検出ワード(CRC)を配列している。

ここで、上記14ビットのコントロール信号ワード(CT)の内容は、例えば次表のように設定している。

ビット番号	コード内容	制御内容	ビット内容
1~10	規定せず	一	0
11	ダビング禁止コード	無	0
12	P訂正識別コード	有	0
13	Q訂正識別コード	有	0
14	プリエンファシス識別コード	有	0

この表のうち、Q訂正識別コードは、上記PCMオーディオ信号の1ワードのビット数が14ビットのとき、有で“0”となるが、1ワードが16ビットのときは、例えば第3図に示すようなデータフォーマットとなり、Q訂正識別コードは無に対応して“1”となる。

すなわち、第3図は、上記PCMオーディオ信号の1ワードを16ビットで構成する場合のデータブロックの1例を示し、全128ビットのデータブロックを、それぞれ16ビットの左右チャネルのオーディオ信号データ(L), (R)

を6ワードと、16ビットの誤り訂正ワード(P)と、16ビットの誤り検出ワード(CRC)との全8ワードで構成している。

次に、これらの1H単位のデータ信号は、例えば第4図(a), (b)に示すように、1垂直区間(1フィールド期間)内に配列される。ここで、第4図(a)は奇数フィールド、第4図(b)は偶数フィールドに対応し、各フィールドの先頭には等価パルス(EP)と垂直同期信号(VS)が配置され、奇数フィールド(第4図(a)参照)では10H目、偶数フィールド(第4図(b)参照)では10.5H目に、それぞれ制御信号ブロック(CDB)をのせた1Hを配置し、以下順にデータブロック(DB)をのせだ24.5Hを配列し、残余のHは空白区間(BL)となるように構成する。

この第4図(a), (b)の1フィールド期間である262.5Hのうち、上記制御信号ブロック(CDB)及びデータブロック(DB)が配列された24.6H以外の16.5Hは、標準テレビジョン信号の垂直フラッシング期間に対応している。

ところで、上記のようなフォーマットのPCMオーディオ信号データを、例えば一般家庭用のビデオテープレコーダ等を用いて記録、再生する場合において、再生時、第1図に示すような実信号のデータブロックは、その誤り検出ワード(CRC)により誤り検出がなされる上、さらに誤り訂正ワード(P),(Q)等により誤りのあるサンプルデータ(ワード)を訂正することができるとともに、再誤り検出も可能であるが、第2図に示す如き制御信号のデータブロックは所定の単位データ区間に1回であり、また誤り検査は誤り検出ワード(CRC)のみによって行なうことしかできないので、誤りを十分に検出しえないという問題がある。そして、特に制御信号のデータブロックのうち内容識別信号ワード(T)やアドレス信号ワード(U)は、再生されるオーディオ信号に直接影響をおよぼすものではないが、コントロール信号(C,T)には先に表で示したように、訂正用パリティ信号(P),(Q)を用いているか否かを判別するP,Q訂正識別

コードやオーディオ信号をPCMデジタルデータに変換する際プリエンファシスをかけているか否かを判別するプリエンファシス識別コード等が含まれているため、データを誤ると再生されるオーディオ信号に直接影響をおよぼすものである。

この発明は上記事情を考慮してなされたもので、制御信号データブロックのコントロール信号ワードのうち再生されるオーディオ信号に直接影響をおよぼすビットに対しても、少なくとも2回以上連続して同じパターンであったとき初めてそのビットの内容を正規の内容として認めて以後の処理を行なわせるようにすることにより、簡易構成で容易に制御信号のデータブロックに対する誤り検出能力を向上させることができ、再生されるオーディオ信号に影響をおよぼすことのない極めて良好なデジタル信号処理装置を提供することを目的とする。

以下、この発明の一実施例について図面を参照して詳細に説明する。第5図において、11

は入力端子で、例えば図示しないビデオテープレコーダ等に記録されたPCMデジタルデータが供給されるものである。この入力端子11はデータ抜き取り回路12を介して、シリアルパラレル変換回路(以下S/P変換回路という)13に接続されるとともに、誤り検出回路14に接続されている。ここで上記S/P変換回路13は、8つの出力ライン131乃至138を有し、これら各出力ライン131乃至138はデインターリーフ回路15の各対応する入力端にそれぞれ接続されている。この出力ライン131乃至138はそれぞれ例えば14ビット(実信号データブロックの1ワード分)のデータ伝送が可能なものである。そして、このデインターリーフ回路15の出力端は、誤り訂正補回路16、D/A変換回路17、増幅回路18及び出力端子19をそれぞれ介して、図示しないオーディオ回路部に接続されている。このうち、上記増幅回路18には、抵抗(R)、コンデンサ(C)及びスイッチ20よりなるエンファシス回路部

21が接続されており、このスイッチ20がオンされることによりエンファシスがかかるようになっている。

一方前記誤り検出回路14の出力端は、ディンターリーフ回路15の対応する誤り検出信号入力端に接続されるとともに、ノット回路22を介してアンド回路23の入力一端に接続されている。このアンド回路23の入力他端は、入力データコントロール回路24のセットパルス出力端に接続されている。また、上記入力データコントロール回路24の誤り判定信号出力端は、ディンターリーフ回路15の誤り判定信号入力端に接続されている。そして、上記アンド回路23の出力端は、Dタイプフリップフロップ(以下DFFといふ)25乃至28の各セットパルス入力端(G)にそれぞれ接続されるとともに、ノット回路29を介して他のDFF30のセットパルス入力端(G)及びアンド回路31の入力一端に接続されている。

ここで、上記DFF25乃至28は、それぞれ

例えば14ビット分のデータ(実信号データブロックの1ワード分)のラッチが可能なもので、その各入力端(D)は前記S/P変換回路13の出力ライン135乃至137にそれぞれ接続されている。また、上記DFF28は例えば10ビット分のデータのラッチが可能なもので、その入力端(D)はS/P変換回路13の出力ライン138の上位10ビット分に接続されている。そして、上記DFF30は例えば4ビット分のデータのラッチが可能なもので、上記出力ライン138の下位4ビット分は、該DFF30の入力端(D)に接続されている。このDFF30は上記入力端(D)に入力された4ビット分のデータをそれぞれ独立して出力する4ビット分の出力端(Q)を有しており、該出力端(Q)は4ビット分のデータのラッチが可能なDFF32の入力端(D)に接続されている。そして、このDFF32の4ビット分の出力端(Q)は、それぞれ前記誤り訂正補正回路16の制御端、スイッチ30及び接続端子33を介して図示しないダミング禁止用制御

回路等に接続されている。

ここにおいて、上記DFF30の4ビット分の入力端(D)は、それぞれエクスクリューシノア回路(以下EXノア回路という)34の入力一端に接続されている。また、DFF30の4ビット分の出力端(Q)は、それぞれ上記EXノア回路34の入力他端に接続されている。そしてEXノア回路34の出力端は、上記アンド回路31の入力他端に接続され、該アンド回路31の出力端はDFF32のセットパルス入力端(G)に接続されている。すなわち、上記DFF30、32、ノット回路29、EXノア回路34及びアンド回路31等よりなる回路は、それぞれ4ビット分設けられているものである。

また、上記各DFF26乃至28の出力端(Q)は、それぞれのDFF26乃至28のラッチ可能なビット数分設けられており、各出力端(Q)は接続端子36乃至38を介して、それぞれ図示しない所定の回路に接続されている。

上記のような構成において、以下その動作を

説明する。まず、入力端子11に供給されたPCMデジタルデータは、データ抜き取り回路12で波形整形されて、そのデータブロックが抜き取られる。そして、この抜き取られたデータブロックは、S/P変換回路13で各ワード単位に分割されるとともに、誤り検出回路14で誤り検出がなされる。

ここでデータブロックが実信号のデータブロックの場合、S/P変換回路13の各出力ライン131乃至138は、例えば先に第1図で示した実信号データブロックの各ワード( $L_n$ )、 $(R_{n-3D})$ 、 $(L_{n+1-6D})$ 、 $(R_{n+1-9D})$ 、 $(L_{n+2-12D})$ 、 $(R_{n+2-15D})$ 、 $(P_{n-18D})$ 、 $(Q_{n-21D})$ にそれぞれ対応するものである。そして、上記のように各ワード単位に分割されたデータは、入力データコントロール回路24からの誤り判定信号とともにディンターリープ回路15に供給され、以下誤り訂正補正回路16、D/A変換回路17、增幅回路18及び出力端子19を介して前記オーディオ回路部に

供給される。

一方、上記データブロックが制御信号のデータブロックの場合、S/P変換回路13の出力ライン131乃至134は頭出し信号ワード(S)に対応し、出力ライン135は内容識別信号ワード(T)に対応し、出力ライン136、137はアドレス信号ワード(U)に対応し、出力ライン138はコントロール信号ワード(CT)に対応するものである。そして第6図(a)に示すように制御信号のデータブロック(SB1)の場合、入力データコントロール回路24は時刻( $T_1$ )でそのセットパルス出力端からセットパルス(論理値“1”)を出力する。このとき、誤り検出回路14からの誤り検出信号が論理値“0”(誤りなし)であれば、第6図(b)に示すようにアンド回路23の出力は論理値“1”となる。すると、DFF26乃至28の各セットパルス入力端(G)が論理値“1”となるので、上記出力ライン131乃至138のデータ(内容識別信号ワード(T)、アドレス信号ワード(U)及びコントロー

ル信号ワード(CT)の上位10ビット分)が誤りのないときのみDFF25乃至28にラッチされる。また、誤りがあるときには、アンド回路23の出力端は論理値“1”にならず、DFF25乃至28は旧データを保持する。

ここで、上記コントロール信号ワード(CT)の下位4ビット分つまり先に表で示したビット番号11乃至14のデータは、アンド回路23の出力端が“1”となってもノット回路29によりDFF30のセットパルス入力端(G)が“0”であるためDFF30にセッタされない。ところが時刻(T<sub>1</sub>)で入力データコントロール回路24のセットパルス出力端が“0”になると、アンド回路23の出力端も“0”となり、このときDFF30のセットパルス入力端(G)が“1”となるので、当該データがDFF30にラッチされる。すると、DFF30の入力端(D)と出力端(Q)とのデータが一致するため、EXノア回路34の出力端は第6図(c)に示すように“1”となる。ところが、この時(時刻(T<sub>1</sub>))では、アンド回路23の

出力端は“0”であるので、アンド回路31の出力端も第6図(d)に示すように“0”となり、DFF32はDFF30のデータをラッチしない。

そして、次に、第6図(a)に示すように実信号のデータブロック(DB<sub>1</sub>)が供給されると、時刻(T<sub>2</sub>)でEXノア回路34の一致がとられなくなり、EXノア回路34の出力端は“0”となる(第6図(e)参照)。

このような状態で、次に第6図(b)に示すように次の制御信号のデータブロック(SB<sub>1</sub>)が供給されて、そのコントロール信号ワード(CT)の下位4ビット分のデータが、先のデータブロック(SB<sub>1</sub>)と同じであるとすると、時刻(T<sub>3</sub>)でEXノア回路34の一致がとられ、その出力端が“1”となる(第6図(f)参照)。そして、時刻(T<sub>3</sub>)でアンド回路23の出力端が“1”となると(第6図(b)参照)、アンド回路31の両入力端が“1”となるので、このアンド回路31の出力端は第6図(d)に示すように“1”となる。

このため、DFF32は、DFF30に先にラッチされた内容をラッチし、ここで初めて先に述べたダビング禁止コード、P及びQ訂正識別コード、プリエンファシス識別コードに応じて、接続端子33を介して前記ダビング禁止制御回路・スイッチ20及び誤り訂正補正回路16等が制御されるものである。

また、制御信号のデータブロック(SB<sub>1</sub>)と(SB<sub>2</sub>)とで、コントロール信号ワード(CT)の下位4ビットデータが異なった場合には、DFF30のラッチ内容が変更されるだけで、DFF32には影響がない。

したがって上記実施例のような構成によれば、制御信号のデータブロックのコントロール信号ワード(CT)のうち、再生されるオーディオ信号に直接影響をおよぼす下位4ビット分のデータを、EXノア回路34で先のデータと後のデータとの一致をとり、一致したときのみ当該データを制御に供せることとした、つまり2回連続して同じデータであるか否かを検出するよ

うにしたので、簡易な構成で容易に制御信号のデータブロックに応する誤り検出能力を向上させることができるものである。

なお、この発明は上記実施例に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

したがって、以上詳述したようにこの発明によれば、制御信号データブロックのコントロール信号ワードのうち再生されるオーディオ信号に直接影響をおよぼすビットに対しても、少なくとも2回以上連続して同じパターンであったとき初めてそのビットの内容を正規の内容として認めて以後の処理を行なわせるようにしたので、簡易な構成で容易に制御信号のデータブロックに対する誤り検出能力を向上させることができ、再生されるオーディオ信号に悪影響をおよぼすことのない極めて良好なデジタル信号処理装置を提供することができる。

#### 4. 図面の簡単な説明

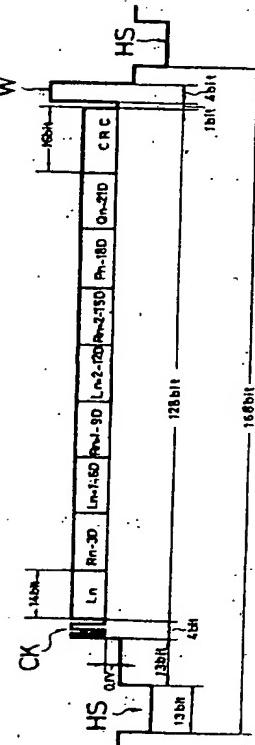
第1図乃至第4図(a),(b)はそれぞれPCM

オーディオ信号を起録、再生するためのデータフォーマットの一例を示すタイムチャート、第5図はこの発明に係るデジタル信号処理装置の一実施例を示すブロック構成図、第6図(+)乃至(+)はそれぞれ同実施例の動作を説明するためのタイムチャートである。

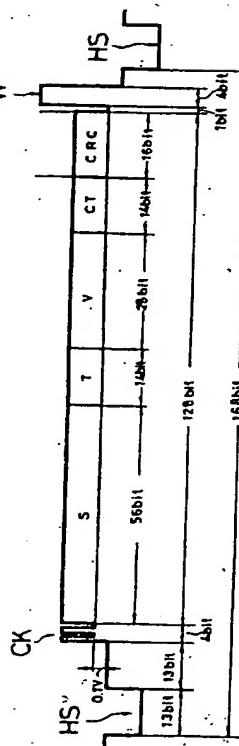
1.1…入力端子、1.2…データ抜き取り回路、  
1.3…S/P変換回路、1.4…誤り検出回路、  
1.5…ディンターリープ回路、1.6…誤り訂正補正回路、1.7…D/A変換回路、1.8…増幅回路、1.9…出力端子、2.0…スイッチ、2.1…デエンファシス回路部、2.2…ネット回路、  
2.3…アンド回路、2.4…入力データコントロール回路、2.5乃至2.8…DFF、2.9…ネット回路、3.0…DFF、3.1…アンド回路、3.2…DFF  
3.3…接続端子、3.4…EXノア回路、3.2乃至3.8…接続端子。

出願人代理人 弁理士 鈴江 武彦

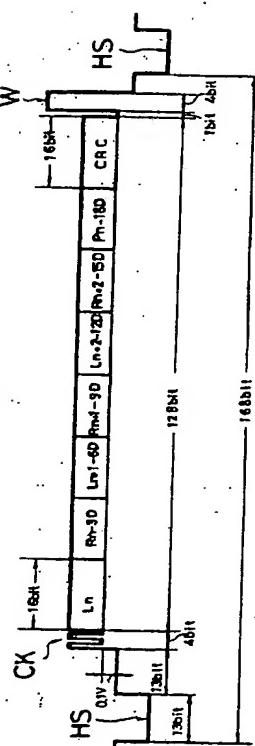
第1図



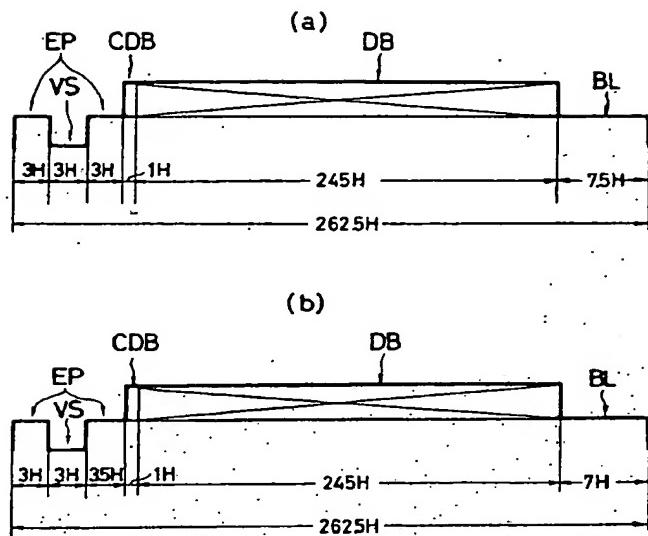
第2図



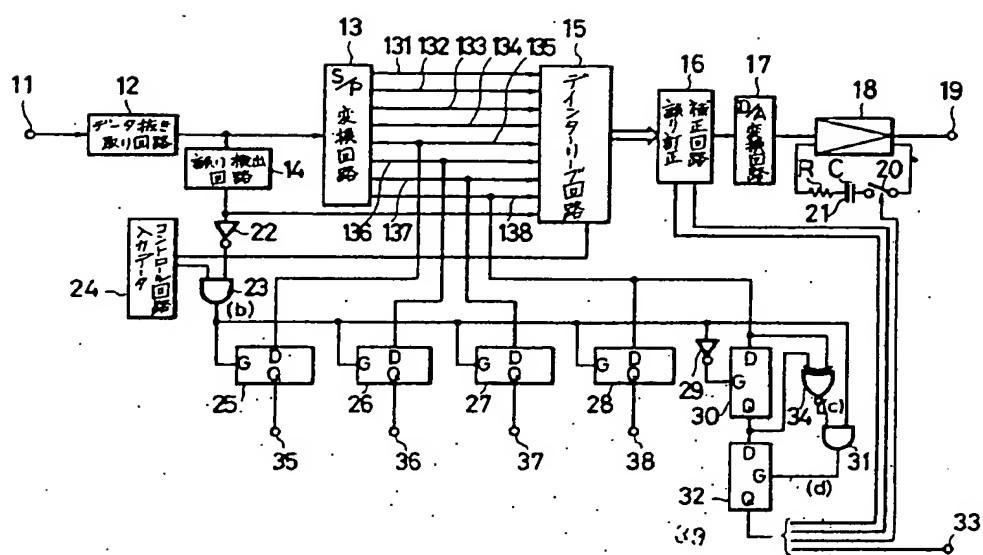
第3図



オ 4 図



オ 5 図



才 6 図

